

MISKOLCI EGYETEM DOKTORI (PHD) TÉZISFÜZETEI

HATVANY JÓZSEF INFORMATIKAI TUDOMÁNYOK DOKTORI ISKOLA



**INFOKOMMUNIKÁCIÓS CSATORNÁK
TULAJDONSÁGAIHOZ ILLESZKEDŐ DIGITÁLIS
VIDEÓ STREAM ÁTMÉRETEZÉS MÓDSZEREINEK
KIDOLGOZÁSA ÉS VIZSGÁLATA**

Készítette:

FORMANEK BENCE

okl. villamosmérnök

AKI DOKTORI (PHD) FOKOZAT ELNYERÉSÉRE PÁLYÁZIK

Tudományos vezető:

Dr. CZAP LÁSZLÓ, PhD

tanszékvezető, egyetemi docens

MISKOLC

2013

Bíráló bizottság

Elnök:

Prof. Dr. **Szigeti Jenő**, CSc
(ME, egyetemi tanár)

Tartalékelnök:

Prof. Dr. **Juhász Imre**, PhD
(ME, egyetemi tanár)

Tagok:

Dr. habil. **Kovács László**, PhD
(ME, egyetemi docens)

Dr. **Feldhoffer Gergely**, PhD
(PPKE, tudományos főmunkatárs)

Dr. **Ormos László**, PhD
(NyF, főiskolai tanár)

Tartalék tagok:

Dr. **Mileff Péter**, PhD
(ME, egyetemi adjunktus)

Dr. **Kane Amadou**, CSc
(ME, egyetemi docens)

Opponensek:

Prof. Dr. **Lajtha György**, DSc
(BME, egyetemi tanár)

Prof. Dr. **Takács György**, CSc
(PPKE, címzetes egyetemi tanár)

Tartalomjegyzék

Bíráló bizottság.....	2
Bevezetés.....	4
Előzmények.....	5
A kutatás célja.....	6
A kutatás és módszerei.....	7
Adaptív, lineáris bitsebesség – kvantáló modell.....	7
Párhuzamosítási lehetőségek többmagos DSP-n.....	8
DSP magok közötti kommunikáció.....	9
Új tudományos eredmények.....	10
Eredmények hasznosítása, továbbfejlesztési lehetőségek....	11
New scientific results.....	12
Kapcsolódó saját publikációk.....	13
Idegennyelvű folyóiratban megjelent.....	13
Idegennyelvű konferencia kiadványban megjelent.....	13
Magyar nyelvű konferencia kiadványban megjelent.....	13
Tanulmányok, tanulmány fejezetek:.....	14
Irodalom jegyzék.....	14

Bevezetés

A videó kommunikáció és a teljes videó átviteli lánc nagyon gyorsan fejlődik napjainkban, a tartalom-előállításától az elosztó hálózatok és a műsorszórás keresztlátásig egészen a felhasználói készülékekig. A korábban kizárólag analóg videó átvitelre használt hálózatokon is digitális videó szolgáltatások jelentek meg, a műholdas műsorszórás digitalizálásával induló és a földfelszíni analóg televízió adás közeljövőben történő lekapcsolásával lezáruló digitális átállás következményeként. A videó forgalom gyorsuló ütemben növekszik, ezért egyre nagyobb a hangsúly a hálózatok kapacitásának hatékony kihasználásán. Ezek a változások, és az új szolgáltatások megjelenése mozgatja a videó infrastruktúra megfelelő eszközeinek fejlődését is.

Az egyes szolgáltatások és a különböző átviteli hálózatok más-más követelményeket állítanak, és paramétereket határoznak meg a videó átvitelhez. A videó átvitel paramétereinek konverzióját általában videó transzkódolásnak nevezik. Az egyes hálózatok között különböző gateway eszközök végzik a formátum és paraméter konverziót. Műsorszóró vagy műsorszétosztó hálózatokban alkalmazott gateway eszköz a remultiplexer, amely videó transzkódolást is végezhet.

Videó transzkódolás során egy, adott paraméterekkel jellemezhető videó, konvertálása történik egy új formátumra. A formátumot többek között olyan jellemzők definiálják, mint a bitsebesség, képssebesség, képfelbontás, kódolási szintaxis, a használt kódolási eszközök és a videó tartalom. Az egyszerű videó kódolástól az különbözteti meg a transzkódolást, hogy egy transzkóder hozzáfér az eredeti videó kódolási paramétereire és a bemeneti tömörített videóból kinyerhető statisztikákhoz. Ezek az adatok felhasználhatók a számítási feladat egyszerűsítéséhez és jobb minőségű videó előállításához, amely a videó transzkódolással foglalkozó kutatások fő iránya.

A processzorok kialakításában az új irány, hogy a növekvő tranzisztorszámot több processzormag kialakítására használják fel, létrehozva egy chip szintű multiprocesszort. Ez a tendencia a jelfeldolgozó processzorokat is elérte és megjelentek a több magos DSP multiprocesszorok. A többmagos processzor architektúrák kihasználásához az egyszálú problémákat több párhuzamosan végrehajtható kisebb feladatra kell felbontani, ami általában nem triviális feladat. A párhuzamosítás hatékonyságát a processzormagok közötti kommunikáció kialakítása is jelentősen befolyásolja.

A többmagos DSP processzorok programozása nem egyszerű feladat. Videó kódoló és dekódoló algoritmusok megvalósítása párhuzamos

feldolgozással jelentős kutatási téma [1], [2]. Videó transzkódolás párhuzamos megvalósítása azonban még kevésbé feldolgozott terület [3].

Előzmények

Egy videó transzkóder legfontosabb kimeneti paraméterei a kimeneti videó bitsebessége és a képminősége, mindkét paramétert jelentősen befolyásolja a bitsebesség vezérlő kialakítása. Transzkódolás esetén a kimeneti bitsebesség meghatározásához a bemeneti videó paraméterei hasznos információkat tartalmaznak.

Az irodalomban főleg videó kódolóban alkalmazott bitsebesség vezérlési megoldásokkal foglalkoznak, jóval kevesebb cikkben szerepelnek a transzkódolás speciális bitsebesség vezérlési problémái. A módszerek három fő kategóriába sorolhatók: az információ elméleten alapuló bitsebesség vezérlési elméletek [4], ρ tartománybeli megoldások [5] és a kép komplexitásán alapuló [6] bitsebesség vezérlések.

A többmagos architektúra kihasználásához a videó transzkódolás egyszálú problémáját, több párhuzamosan végrehajtható kisebb feladatra kell felbontani, ami nem triviális feladat. Az irodalomban található párhuzamosítási megoldások főleg a videó kódolás és dekódolás problémáival foglalkoznak [7] és csak nagyon kevés cikk foglalkozik speciálisan transzkódolás párhuzamosítási megoldásokkal [3]. Ezek a kutatások sem teljes rendszert vizsgálnak, hanem csak az aktuális algoritmusok párhuzamosítási lehetőségeit. A transzkóder párhuzamosítási probléma többmagos DSP-n való vizsgálatával az irodalomban nem találkoztam. Videó kódolás vagy dekódolás párhuzamosítását vizsgálták többmagos DSP-n [7] és hasonló architektúrákon, mint az IBM Cell processzor [8], vagy sokmagos DSP szimulátor [9]. A többmagos DSP-hez legközelebb álló architektúra amin transzkódolást vizsgálták több különálló DSP-ből felépített rendszer volt [3].

A videó transzkódolási probléma párhuzamos felbontása mellett a processzormagok közötti kommunikáció kialakítása jelentősen befolyásolja a párhuzamosítás hatékonyságát. Az irodalomban található kommunikációs megoldások a felhasznált architektúrák lehetőségeit használják ki. A közös memóriás rendszerekben a megosztott memóriás kommunikáció a jellemző [10]. Elosztott rendszerekben [11], több különálló DSP processzorral megvalósított rendszerekben [12] és multiprocesszoron belül is [13] az üzenet küldéses kommunikáció valamilyen formájával találkoztam. Hibrid kommunikációs megoldást csak elosztott rendszerként kialakított közös memóriás processzorok között használtak, de ott is a párhuzamosítás két különböző hierarchia szintjén, két különböző kommunikációhoz [14].

A kutatás célja

Két aktuális és érdekes téma ötvözésével foglalkozik a dolgozat: videó transzkódolással és többmagos DSP multiprocesszorok programozásával. A videó transzkódolással foglalkozó kutatások fő célja a bemeneti videóból kinyert kódolási paraméterek és statisztikák minél intelligensebb felhasználása a számítási komplexitás minimalizálásához és a lehető legjobb képminőség eléréséhez. A többmagos DSP processzorok programozásához a soros problémákat párhuzamos feladatokká kell alakítani, ami szintén nem megoldott kérdés. Ez a dolgozat a videó transzkódolással, amely alapvetően soros probléma, és a többmagos DSP multiprocesszoron történő párhuzamos megoldási lehetőségeivel foglalkozik.

A videó transzkóderek számítási komplexitás és képminőség tekintetében is rugalmasabban méretezhetők, mint egy videó kódoló vagy dekódoló. A megfelelő transzkóder architektúra kiválasztásához ezért pontosan definiálni kell azokat a méretezési célokat, ami alapján meghatározhatók a használandó hardver és szoftver megoldások

A kutatás kiinduló feladata egy viszonylag egyszerű, kis számítási komplexitású videó transzkódolási módszer kidolgozása volt, amely a műsorszórásban használt videó formátumok valós idejű feldolgozására alkalmas lehet. A feltételeknek megfelelő transzkódoló megoldás az irodalomban elérhető volt, a kiválasztott nyílthurkú transzkódolás tulajdonságai megfeleltek a kitűzött feladathoz. A kiválasztott transzkóderhez illeszkedő, kis számítási komplexitású, és megfelelően rugalmas bitsebesség vezérlés azonban nem volt elérhető. A kutatás egyik cél feladata tehát egy olyan bitsebességvezérlő algoritmus kidolgozása volt, amely minél több információt használ ki a bemeneti videó bitfolyamból, teljesíti a képminőségre vonatkozó követelményeket és a számítási komplexitása is alacsonyan tartható.

A kutatás korai szakaszában látható volt, hogy az egy DSP processzormagon kialakított teljes transzkóder rendszernek a feldolgozási sebessége, a műsorszórásban használt videó formátumok valós időben történő feldolgozásához nem elegendő. A többmagos DSP processzorok megjelenésével a szükséges számítási teljesítmény elérhetővé vált, a kihasználásához azonban párhuzamos megoldásra van szükség. A kutatás következő célja ennek megfelelően, egyrészt olyan módszerek vizsgálata amelyek a teljes transzkódolási folyamatot párhuzamosan végrehajtható feladatokra bontják fel, másrészt a párhuzamos feladatmegoldás hatékonyságának vizsgálata.

A több processzormagon futó párhuzamos számítás szükségessé teszi a DSP magok közötti kommunikációt. A processzormagok közötti kommunikáció feladata az adatok valós idejű átvitele kis számítási komplexitás és kis késleltetés mellett, minél jobban kihasználva a

processzor lehetőségeit. A kutatás célja ebben a tekintetben egy hatékony, a DSP lehetőségeit minél jobban kihasználó kommunikációs megoldás kialakítása volt.

A kutatás és módszerei

Adaptív, lineáris bitsebesség – kvantáló modell

A bitsebesség vezérlés feladata a kívánt videó bitsebesség tartása a lehető legjobb képminőség elérésével. A műsorszórásban is használt MPEG videó kódolásokban a bitsebesség a kvantálás mértékének változtatásával szabályozható. A kvantálás az a kódolási lépés ahol a tulajdonképpeni adatvesztés megtörténik, lényege az egyes transzformációs együtthatók pontatlanabb, azaz kevesebb bittel való ábrázolása, ami azonban a képminőség romlásával jár. A bitsebesség és a kvantáló közötti kapcsolatot a bitsebesség-quantáló függvény $R(q)$ határozza meg. Amennyiben ismerjük a $R(q)$ függvényt az elérendő cél bitsebességhez tartozó kvantáló meghatározható. A bitsebesség-quantáló függvény meghatározása, amely a bitsebesség vezérlő kialakításának kulcskérdése, a videó kódolás összetettsége miatt azonban nem triviális feladat.

Az adaptív lineáris bitsebességvezérlő modell kialakításához kiindulási alapként a kép komplexitáson alapuló bitsebességvezérlési módszert választottam. A nyílthurkú transzkóderben azonban nem állnak rendelkezésre a dekódolt képek, így a térbeli komplexitás meghatározása sem lehetséges a kódolás során alkalmazott módszerrel. Egy transzkóderben viszont a bemeneti videó bitfolyam paraméterei vizsgálhatók. Feltételeztem majd bizonyítottam, hogy a bemeneti és a kimeneti bitsebességek aránya lineárisan közelíthető a bemeneti és a kimeneti kvantálók értékének arányával, amelyből számítható a kimeneti kvantáló értéke. A lineáris összefüggés paramétereit különböző videó szekvenciák vizsgálatával határoztam meg.

A lineáris közelítés azonban nem veszi figyelembe a bitsebesség-quantáló függvény képtartalomtól való függését. A helyes bitsebesség fenntartása érdekében ezért vizsgálom a tényleges kimeneti bitsebességet. A meghatározott értéktől való eltérést, mint hiba jelet használva, egy visszacsatolást hoztam létre, amely így adaptívan befolyásolja az új kvantáló értékének meghatározását.

Az MPEG kódolásoknál a különböző képtípusok mérete különböző, ezért a bitsebesség meghatározásának legkisebb egysége a képcsoport. Egy nyílthurkú transzkóder nem befolyásolja a képcsoportok méretét, ezért képcsoport független bitsebesség vezérlést alakítottam ki. A bemeneti és a kimeneti bitsebesség meghatározásához is a képcsoportnál jelentősen nagyobb számú képet használtam, és vizsgáltam a képek számának a bitsebességvezérlésre gyakorolt hatását.

Párhuzamosítási lehetőségek többmagos DSP-n

A nyílthurkú transzkóder modellek megvalósítására rugalmassága, energiafogyasztása és számítási teljesítménye miatt a többmagos DSP-t választottam. A különböző párhuzamosítási lehetőségek vizsgálatára három modellt használtam: az egy processzoron működő teljes transzkódert, a két processzormagon működő teljes transzkódert és a több processzormag lehetőségeinek vizsgálatára egy több magot is kihasználó transzkóder modellt.

A teljes transzkóder modell moduláris, multimédia elemekből álló rendszer, fő egységei: maga a videó átszámító elem, az IP hálózat kezelő bemeneti és kimeneti modulok, a demultiplexer és a multiplexer elemek. Egy processzormagos kialakításban minden elem ugyanazon a processzormagon működik.

A két processzormagos párhuzamos transzkóder modell funkcionális párhuzamosításnak tekinthető, ahol a videó transzkódolás funkció az egyik processzormagon (DSP 1), a kommunikáció és a multiplex feldolgozás a másik processzormagon (DSP 0) működik. Több, n_p , processzormagot tekintve ez a funkcionális felosztás, egy olyan elrendezés vizsgálatát teszi lehetővé, amely egyszerre több műsor, több multiplex feldolgozására alkalmas. Egy kivételével a processzormagok, $n_p - 1$, a videó transzkódolást végzik, egy dedikált processzormag pedig az összes feldolgozandó multiplexhez tartozó többi feladatot ellátja. Terhelés elosztás szempontjából ez a funkcionális felosztás akkor hatékony, ha a videó transzkóderek maximálisan kihasználják egy-egy processzormag számítási teljesítményét, és az összes műsorhoz, $n_p - 1$, tartozó kommunikációt és multiplex feldolgozást egy processzormag el tudja látni. A particionálási probléma ebben az esetben tehát nem a videó átszámító algoritmus párhuzamosítása, hanem rendszer szintű párhuzamosítási feladat.

Az egy processzormagos esetre, valamint a két processzormagos modellben az egyes processzormagokra meghatároztam a valós idejű működés feltételeit, és a processzor terhelés számításának módszerét.

A több processzormagos transzkóder modell nem egy teljes transzkóder rendszer, csak a párhuzamos videó átszámító algoritmus. Nyílthurkú transzkódolás esetén, a videó kódolással ellentétben, nincs adatfüggőség a képeken belül és a képek között a predikciós lépés hiánya miatt. A modell célja a párhuzamos nyílthurkú transzkódolás hatékonyságának elemzése multiprocesszoron. A modellhez központi feladatsort és dinamikus ütemezést alkalmaztam, amely viszonylag egyszerű megvalósítást tesz lehetővé, ugyanakkor a statikus ütemezéshez képest jobb terheléseloszlást biztosít. Hátránya, hogy az egyes DSP magok hozzáférését a feladat sorhoz szinkronizálni kell.

Meghatároztam a soros végrehajtáshoz képest elérhető gyorsulás maximális mértékét, és az ehhez szükséges feltételeket. Vizsgáltam a gyorsulás mértékét a térbeli felbontás mértékének függvényében.

DSP magok közötti kommunikáció

Hatékony processzormagok közötti kommunikáció kialakításához a többmagos DSP lehetőségeit minél jobban kihasználó megoldásra van szükség. A DSP multiprocesszorok felépítésüket tekintve, fizikai szempontból nem cache koherens osztott memóriás rendszernek foghatók fel, logikai szempontból azonban elosztott rendszernek tekinthetők. A logikai felépítés az üzenetküldéses kommunikáció valamilyen formájának megvalósítása felé mutat, míg a DSP fizikai felépítése a megosztott memóriás kommunikáció megvalósítását tenné lehetővé. A valósidejű működés további feltételeket támaszt a kommunikációval szemben: a nagy mennyiségű adat átvitele miatt a memória másolások számát minimalizálni kell, a dinamikus memóriafoglалásokhoz szükséges idő véletlenszerű és felülről nem korlátos, ezért valósidejű rendszerekben nem használható és a szinkronizációból adódó blokkolást el kell kerülni.

A fenti feltételeknek megfelelően, kialakítottam egy blokkolás és memória másolás mentes, üzenetküldés és osztott memória hibrid módszert, tripla gyűrűs buffer segítségével megvalósítva. Az adatátvitelhez szükséges memóriát egy előre lefoglalt megosztott címtérületen helyeztem el, kialakítva ezzel az elsődleges gyűrűs buffert. A gyűrűs kialakításra azért van lehetőség mert a multimédia adatforgalom bitfolyam jellegű, az adatokat az érkezés sorrendjében kell feldolgozni. Az egyes processzormagokon további gyűrűs buffereket alakítottam ki, ezek az üzenetküldéses kommunikáció segítségével küldött, az elsődleges gyűrűs bufferben lévő adatokra hivatkozó mutatókat tartalmazzák. A mutatók átvitele a DSP magok közötti megszakítással történik, a tényleges adatok a mutató által a közös memóriában érhetőek el. A mutatókat tartalmazó gyűrűs bufferek segítségével elkerülhető a szinkronizáció okozta blokkolás lehetősége.

Meghatároztam a kommunikációhoz szükséges idő és az okozott processzorterhelés számításának módszerét, vizsgáltam a kommunikáció erőforrásigényét.

A transzkóder modelleket és a processzormagok közötti kommunikációt Texas Instruments TMS320C6472 típusú, hat C64+ DSP magot tartalmazó multiprocesszoron vizsgáltam. A vizsgálathoz több teszt videót és valódi televízió adásból származó mősorrészletet is felhasználtam. A fenti bitsebességszabályozást az egy DSP magon, valamint a két processzormagon kialakított transzkóder modellek részeként is vizsgáltam. A modelleket C++ programozási nyelven valósítottam meg, ami lehetővé tette több processzor

típus felhasználását is az egy processzormagos transzkóder modell elemzésére.

Új tudományos eredmények

A legfontosabb új tudományos eredményeimet három tézisben fogalmaztam meg:

1. Tézis: Kidolgoztam egy, a nyílthurkú transzkóder komplexitásához illeszkedően, *kis számításigényű, lineáris bitsebesség-kvantáló $R(q)$ modellen alapuló, GOP struktúra független, visszacsatolt bitsebesség vezérlő* módszert, mely a bemeneti videó kódolási paramétereit alapján határozza meg a kimeneti videó paramétereit. Bemutattam, hogy a kimenet VBR kódolása mellett megfelelően tartja a beállított átlagos bitsebességet, valamint vizsgáltam az elért képminőséget is.

2. Tézis: *Többmagos DSP multiprocesszoron* kialakított párhuzamos videó transzkóderhez kidolgoztam egy processzormagok közötti, az architektúrához igazodó, *logikai szempontból üzenetküldéses és fizikai szempontból osztott memóriás hibrid* kommunikációs megoldást, amely *blokkolás és memória másolás mentes*, hatékony kommunikációt tesz lehetővé.

3. Tézis: A videó transzkódolás *rugalmasabban méretezhető a számítási komplexitás és a képminőség tekintetében*, mint egy videó kódoló vagy dekódoló eljárás. Több processzormagos DSP multiprocesszoron, különböző bonyolultságú transzkódoló megoldások párhuzamosítási lehetőségeinek vizsgálatához, kidolgoztam három transzkóder modellt:

- ◆ Bemutattam, hogy a kiindulási feltételeknek megfelelő videó transzkódolása egy processzormagos DSP-n közel valós időben elvégezhető. Kidolgoztam egy, egy processzormagos teljes videó transzkóder modellt, és *különböző processzor architektúrákon* vizsgáltam a *valós idejű feldolgozás feltételeit*.
- ◆ Bemutattam, hogy *többmagos DSP multiprocesszoron* a particionálási probléma nem csak a videó átszámító algoritmus párhuzamosításaként fogható fel, hanem tekinthető *rendszer szintű párhuzamosítási feladatként* is, és a *particionálás multimédia elem szinten* hatékonyan kialakítható, ehhez kidolgoztam egy két processzormagon működő teljes videó transzkóder modellt.
- ◆ *Többmagos DSP multiprocesszoron* vizsgáltam a videó transzkódoló algoritmus *térbeli párhuzamosításának hatékonyságát a párhuzamosítás mértékének függvényében*, amihez kidolgoztam egy több processzormagos videó transzkóder modellt.

Eredmények hasznosítása, továbbfejlesztési lehetőségek

A kutatási céloknak megfelelően, és a vizsgálati eredmények alapján, kialakítható olyan transzkóder, amely két DSP processzormagon, MPEG-2 MP@ML formátumú videó valós idejű feldolgozására képes. A vizsgálatok elvégzéséhez el is készítettem egy változatot TMS320C6472 típusú, hat C64+ DSP magot tartalmazó multiprocesszoron. Kisebbséges továbbfejlesztés után, ugyanezen a multiprocesszoron, az eredmények alapján, megvalósítható egy, öt műsort feldolgozó transzkóder is. Ez a transzkóder önállóan, vagy remultiplexerekbe integráltan alkalmas műsorszóró hálózatok közötti videó transzkódolásra.

A dolgozatom egyik célja a továbbfejlesztési lehetőségek keresése. A továbbfejlesztés egyik iránya lehet a nagyfelbontású (HD) műsorok és/vagy újabb, hatékonyabb videó kódolások támogatása, mint a műsorszórásban is használt H.264/AVC formátum. Ezek feldolgozása azonban nagyobb számítási teljesítményt igényel.

További fejlesztési irány bonyolultabb átkódoló algoritmus használata lehet. A kis komplexitású nyílthurkú transzkóder tipikus „lélegzés” hibát okoz a kimeneti videón. Ez a hiba csökkenthető vagy elkerülhető bonyolultabb átkódoló algoritmus használatával, amely azonban szintén nagyobb számítási kapacitást igényel.

Nagyobb számítási teljesítmény eléréséhez több DSP mag kihasználása lehet a megoldás, ezt vizsgáltam a több processzormagos transzkóder modell segítségével.

New scientific results

The new scientific results are summarized by the following three theses.

1. Thesis: *A GOP structure independent, low complexity bit-rate control algorithm* was developed, based on a *linear rate-quantizer $R(q)$ model with feedback control* method, that suits well for a low complexity open-loop transcoder. The low computational complexity is achieved by using coding parameters from the input video stream to calculate the coding parameters of the output stream. It was shown, that the average bit-rate of the VBR coded output video held with good accuracy, and with reasonable image quality.

2. Thesis: For efficient implementation of a parallel video transcoder, a *non-blocking, no-memory-copy, logically message passing and physically shared memory, hybrid inter-processor communication* mechanism was developed that takes advantage of the *multi-core DSP* architecture.

3. Thesis: There is *more flexibility, in terms of computational complexity and image quality*, in the development of video transcoding algorithms than in video coding or decoding solutions. To evaluate parallelization options for transcoding algorithms with different complexity, three different transcoder model was developed.

- ◆ It was shown, that near real-time transcoding of broadcast quality video can be achieved by a single core DSP. A single processor, fully equipped transcoder model was developed to study the *conditions for real-time processing on different processor architectures*.
- ◆ It was demonstrated, that *on a multi-core DSP multiprocessor*, the video transcoder partitioning problem can be viewed as a *system level parallelization problem*, not only as an algorithm level parallelization problem. A two processor, fully equipped transcoder model was developed to show that system level partitioning can efficiently be formed *on multimedia element boundaries*.
- ◆ A multiprocessor transcoder model was developed, to *examine the effectiveness of spatial parallelization* of the video transcoding algorithm, *depending on the degree of spatial partitioning, on a multi-core DSP multiprocessor*.

Kapcsolódó saját publikációk

Idegennyelvű folyóiratban megjelent

Bence Formanek, Tihamér Ádám, “Rate Control in Open-Loop MPEG Video Transcoder”, *Acta Universitatis Sapientiae, Electrical and Mechanical Engineering*, ISSN 2065-5916, 2009, Vol. 1., pp. 125-132.

Idegennyelvű konferencia kiadványban megjelent

Bence Formanek, Tihamér Ádám, “DSP implementation of an MPEG-2 video bitrate transcoder”, *Proc. of the 11th International Carpathian Control Conference*, ISBN 978-963-06-9289-2, Department of Automation, University of Miskolc, Miskolc, 2010, pp. 195-198.

Bence Formanek, Tihamér Ádám, “Rate control in MPEG-2 video bitrate transcoder”, *Proc. of the 10th International Carpathian Control Conference*, ISBN 83-89772-51-5, Faculty of Mechanical Engineering and Robotics, 2009, pp. 297-300.

Bence Formanek, Tihamér Ádám, “Differences and similarities between MPEG-2 and MPEG-4 AVC/H.264 video coding standards”, *Proc. of the 9th International Carpathian Control Conference*, ISBN 978-973-746-897-0, Craiova, Editura Sitech Craiova, 2008, pp. 175-178.

Bence Formanek, Imre Kovács, László Lois, Attila Molnár Megyeri, László Király, “MPEG Transcoding and Video Quality Measurements”, *Proc. of the ETIK Winter Workshop 2000*, Budapest, 2000, pp. 88-96.

Bence Formanek, Sándor Bozóki, “A Motion Adaptive Pre-filter for MPEG Encoders”, *Proc. of the 2nd International Conference On Multimedia Technology*, ISBN 963-545-184-9, Budapest, 1997, pp. 19-24.

Magyar nyelvű konferencia kiadványban megjelent

Formanek Bence, Czap László, “Videó bitebesség csökkentés többmagos DSP-n”, *XXVII. microCAD Nemzetközi Tudományos Konferencia Kiadványa*, Miskolc, 2013.

Formanek Bence, Dalmi Dénes, Varga Attila Károly, „MPEG–2 és az MPEG–4 AVC videó kódolás összehasonlítása”, *12. Televízió és Hangtechnikai Konferencia és Kiállítás Kiadványa*, Budapest, 2007.

Formanek Bence, Dalmi Dénes, Varga Attila Károly, „Modern videó kódolási eljárások és a bitebesség csökkentés lehetőségei”, *VII. Enelko Nemzetközi Számítástechnika és Energetika-Elektrotechnika Konferencia Kiadványa*, ISSN 1842-4546, Kolozsvar, Erdélyi Magyar Műszaki Tudományos Társaság, 2006, p. 29-34.

Formanek Bence, „A Transport Stream remultiplexelésének kérdései”, *II. Televízió- és Hangtechnikai Konferencia és Kiállítás Kiadványa*, Budapest, 2005, p. 189-193.

Tanulmányok, tanulmány fejezetek:

Formanek Bence, „A kép és a hang kódolásának alapismeretei”, *A DVB-C adás- és vételtechnika gyakorlati ismeretei*, Budapest, Hírközlési és Informatikai Tudományos Egyesület, T-Kábel és CableWorld Kft., 2005, p. 4-38.

Formanek Bence, Uhrin Csaba, Veres Péter, „MPEG-2 és MPEG-4 alapismeretek”, *IP TV alapismeretek*, Budapest, Nemzeti Hírközlési Hatóság és CableWorld Kft., 2008, p. 183-241.

Formanek Bence, „HDTV ismeretek”, *A HDTV műsorok műholdas (DVB-S2) és földi (DVB-T) terjesztése*, Budapest, Nemzeti Hírközlési Hatóság és CableWorld Kft., 2009, p. 1-17.

Formanek Bence, „HDTV formátumok és tömörítési eljárások”, *A HDTV műsorok műholdas (DVB-S2) és földi (DVB-T) terjesztése*, Budapest, Nemzeti Hírközlési Hatóság és CableWorld Kft., 2009, p. 18-39.

Irodalom jegyzék

- [1] C. Meenderinck, A. Azevedo, B. Juurlink, M. A. Mesa, A. Ramirez, “*Parallel Scalability of Video Decoders*”, Springerlink.com, Aug. 2008.
- [2] I. Ahmad, Y. He, M. L. Liou, “*Video compression with parallel processing*”, *Parallel Computing* 28 (2002), pp: 1039–1078, Dec. 2001.
- [3] A. Raman, S. Sethuraman, A. Kumar, M. Bhaskaranand, O. Sharma, M. Agrawal, “*Scalable Multi-Processor Software Architecture for a MPEG-2 to H.264 Transcoder*”, GSPx 2006 -The International Signal Processing Conference, Nov. 2006.
- [4] H.-M. Hang, J.-J. Chen, “*Source model for transform video coder and its application. I. Fundamental theory*”, *IEEE Transactions on Circuits and Systems for Video Technology*, Vol. 7, No. 2, Apr. 1997.
- [5] Z. Lei, N. D. Georganas, “*Accurate bit allocation and rate control for DCT domain video transcoding*”, *Proc. of IEEE Canadian Conference on Electrical and Computer Engineering*, Vol. 2, pp: 968-973, May. 2002.
- [6] J.-B. Cheng, H.-M. Hang, “*Adaptive piecewise linear bits estimation model for MPEG based video coding*”, *Proc. of International Conference on Image Processing*, Vol. 2, pp: 551-554, Oct. 1995.
- [7] O. Cantineau, J.D. Legat, “*Efficient parallelization of an MPEG-2 codec on a TMS320C80 video processor*”, *IEEE International Conference on Image Processing*, vol. 3, pp. 977–980, Oct. 1998.
- [8] M. A. Baker, P. Dalale, K. S. Chatha, S. B. K. Vrudhula, “*A Scalable Parallel H.264 Decoder on the IBM Cell Broadband Engine Architecture*”, *Proc. of the International Conference on Hardware-Software Codesign and System Synthesis (CODES-ISSS)*, Oct. 2009.

- [9] A. Azevedo, C. Meenderinck, B. Juurlink, A. Terechko, J. Hoogerbrugge, M. Alvarez, A. Rammirez, “*Parallel H.264 Decoding on an Embedded Multicore Processor*”, Proc. of the 4th International Conference on High Performance and Embedded Architectures and Compilers, pp. 404-418, Jan. 2009.
- [10] M. Alvarez, A. Ramirez, M. Valero, A. Azevedo, C.H. Meenderinck, B.H.H. Juurlink, “*Performance Evaluation of Macroblock-level Parallelization of H.264 Decoding on a cc-NUMA Multiprocessor Architecture*”, Proceedings of the 4CCC: 4th Colombian Computing Conference, Apr. 2009.
- [11] A. Rodriguez, A. González, M.P. Malumbres, “*Performance evaluation of parallel MPEG-4 video coding algorithms on clusters of workstations*”, International Conference on Parallel Computing in Electrical Engineering, 2004. PARELEC 2004. Sept. 2004.
- [12] Xu Xiaoshen, Jiang Hongxu, Jin Liang, Lei Dandan, Li Bo, “*A Multi-DSP System for High-Performance Video Applications*”, Proc. of the 11th IEEE Singapore International Conference on Communication Systems, pp. 778 – 782, Nov. 2008.
- [13] M. A. Baker, P. Dalale, K. S. Chatha, S. B. K. Vrudhula, “*A Scalable Parallel H.264 Decoder on the IBM Cell Broadband Engine Architecture*”, Proc. of the International Conference on Hardware-Software Codesign and System Synthesis (CODES-ISSS), Oct. 2009.
- [14] A. Rodriguez, A. Gonzalez, M. P. Malumbres, “*Hierarchical Parallelization of an H.264/AVC Video Encoder*”, Proc. of the International Symposium on Parallel Computing in Electrical Engineering, pp. 363–368, Sept. 2006.